

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

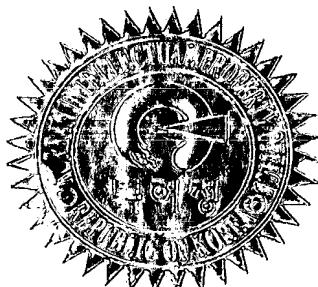
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0053120
Application Number

출원년월일 : 2002년 09월 04일
Date of Application SEP 04, 2002

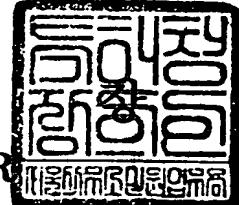
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003년 04월 10일

특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0003	
【제출일자】	2002.09.04	
【발명의 명칭】	피아크전류를 줄이는 플래쉬메모리	
【발명의 영문명칭】	FLASH MEMORY REDUCING PEAK CURRENT	
【출원인】		
【명칭】	삼성전자 주식회사	
【출원인코드】	1-1998-104271-3	
【대리인】		
【성명】	임창현	
【대리인코드】	9-1998-000386-5	
【포괄위임등록번호】	1999-007368-2	
【대리인】		
【성명】	권혁수	
【대리인코드】	9-1999-000370-4	
【포괄위임등록번호】	1999-056971-6	
【발명자】		
【성명의 국문표기】	유창호	
【성명의 영문표기】	YOU, CHANG HO	
【주민등록번호】	681224-1094917	
【우편번호】	137-130	
【주소】	서울특별시 서초구 양재동 우성아파트 106동 706호	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)	
【수수료】		
【기본출원료】	20	면 29,000 원
【가산출원료】	9	면 9,000 원

1020020053120

출력 일자: 2003/4/11

【우선권주장료】	0	건	0	원
【심사청구료】	30	항	1,069,000	원
【합계】	1,107,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

【요약서】**【요약】**

본 발명은 플래쉬메모리에서 프로그램금지될 비선택비트라인들을 우선적으로 소정의 레벨로 충전한 다음, 펌핑전압을 발생하고, 그 이후에 모든 비트라인들에 대한 프리차아지를 완료함으로써, 전압충전의 집중에 의한 피이트전류를 억제 또는 분산시킨다. 또한, 메모리셀어레이를 나누어 프리차아지한다. 이를 위하여, 본 발명에 따른 플래쉬메모리는: 메모리셀들 및 비트라인들과 소오스라인들을 포함하는 페이지들로 구성된 메모리셀어레이; 상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로; 제2시점에서 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 포함한다.

【대표도】

도 7

【색인어】

비트라인 프리차아지, 프로그램 금지

【명세서】

【발명의 명칭】

피이크전류를 줄이는 플래쉬메모리{FLASH MEMORY REDUCING PEAK CURRENT}

【도면의 간단한 설명】

도 1은 플래쉬메모리에 사용되는 메모리셀의 일례를 보이는 단면도.

도 2는 종래의 플래쉬메모리에서의 프로그램 동작을 보이는 타이밍도.

도 3은 본 발명에 따른 플래쉬메모리의 개략적인 구성을 보인 보면.

도 4는 본 발명에 따른 고전압 제어 신호를 발생하는 회로도.

도 5는 본 발명에 따라 비트라인들을 프리차아지하는 신호들을 발생하는 회로도.

도 6은 본 발명에 따라 비선택된 비트라인들을 프리차아지하는 신호를 발생하는 회로도.

도 7은 본 발명에 따른 플래쉬메모리에서의 프로그램동작을 보이는 타이밍도.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

< 도면의 주요 부분에 대한 참조부호의 설명 >

20 : 선프리차아지회로 PBLS : 메인프리차아지신호

PBLN : 선프리차아지신호 φHVEN : 펄스신호

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<12> 본 발명은 플래쉬메모리에 관한 것으로서, 특히 프로그램동작에서 비트라인들을 프리차아지하는 플래쉬메모리에 관한 것이다.

<13> 플래쉬메모리에서는 하나의 워드라인에 다수의 메모리셀들이 연결되어 있으며, 하나 또는 둘 이상의 워드라인들을 단위로 하는 페이지들로 구분되어 있다. 하나의 워드라인에 연결된 메모리셀들은 그들의 비트라인들에 각각 연결되어 있다. 워드라인을 선택하는 것을 로우디코더에 의하여 행해지며, 비트라인을 선택하는 것은 컬럼디코더에 의하여 행해진다. 플래쉬메모리는 기본적으로 소거, 프로그램(또는 쓰기) 및 읽기동작을 수행한다. 플래쉬메모리에 배치되는 메모리셀은 스택게이트형(stacked gate) 또는 스플릿게이트형(split gate)이 있으며, 어느 형태이거나 플로팅게이트에서의 전자들의 존재 유무를 이용하여 프로그램 또는 소거된다. 소거는 다수의 페이지가 포함된 섹터(또는 블럭) 또는 전 메모리셀에 대하여 일시에 수행된다.

<14> 프로그램은 단위 메모리셀 또는 페이지 단위로 행해진다. 예를 들면, 도 1에 보인 바와 같이, 어드레스정보에 따라 선택된 워드라인 WL을 통하여 메모리셀의 컨트롤게이트 CG에 $V_t + 0.4V$ (V_t 는 메모리셀의 드레쉬홀드전압)를 인가하고, 소오스라인 SL을 통하여 소오스 S에 10V를 인가하고 선택된 비트라인 BL을 통하여 드레인 D에 0.4V를 인가한다. 그러면, 드레인 D와 소오스 S사이에 형성된 전계를 따라 소오스측으로 이끌리던 전자들이 핫일렉트론(hot electron)효과에 의해 플로팅게이트 FG로 터널링되고, 이것에 의해

해당하는 메모리셀의 드레쉬홀드전압은 증가한다. 프로그램에 의해 증가된 메모리셀은 읽기동작에서 오프셀(off-cell)로 판독된다.

<15> 이러한 프로그램동작에 있어서는, 하나의 워드라인에 여러개의 메모리셀들이 연결되어 있고 각 메모리셀은 각 비트라인에 연결되어 있으므로, 하나의 메모리셀을 선택적으로 프로그램하는 동안에는 선택된 워드라인에 연결된 메모리셀들 중에서 비선택된 비트라인들에 연결된 메모리셀들이 프로그램되지 않도록 하여야 한다(프로그램 금지동작). 통상적인 방법 중의 하나로서, 선택된 비트라인(즉, 선택된 메모리셀에 연결된 비트라인)과 비선택된 비트라인들(즉, 선택된 워드라인에 연결된 메모리셀들 중 비선택된 것들에 연결된 비트라인들)을 전원전압(VDD) 레벨의 전압으로 프리차아지시킨 다음, 선택된 메모리셀에 대한 프로그램을 진행한다.

<16> 종래의 프로그램과정을 보여 주는 도 2를 참조하면, 시각 t1에서 고전압신호 HVEN이 하이레벨로 활성화되면 메모리장치의 내부의 차아지펌프(charge pump)에 의해 고전압 VPP가 프로그램에 필요한 전압레벨 (예컨대, 10V)로 상승하기 시작한다. 이후에 프로그램신호 PGM이 하이레벨로 활성화되는 시각 t2에서 선택된 비트라인 BLS와 비선택된 비트라인 BLN을 각각 프리차아지시키는 신호들 PBLS 및 PBLN의 활성화에 응답하여 비트라인들 BLS 및 BLN은 동시에 전원전압 VDD의 레벨로 프리차아지 된다. 이 과정에서, 시각 t2와 시각 t3사이의 구간에서 선택된 비트라인 BLS와 함께 선택되지 않은 비트라인들 BLN도 동시에 프리차아지 되므로 피이크전류(peak current)가 발생한다. 일반적으로 하나의 메모리셀블럭에는 적어도 1024개의 비트

라인들이 배열되어 있기 때문에, 하나의 선택된 비트라인을 포함한 1024개의 비트라인들을 동시에 전원전압으로 프리차아지시키게 되면 피이크전류의 양이 상당하게 된다. 더 우기, 시각 t_2 에 이르러서도 고전압 VPP가 완전히 충전되지 않은 경우에는, t_2 와 t_3 사이의 구간에서 고전압 VPP의 충전 및 비트라인들의 프리차아지가 중첩되므로 피이크전류의 양은 더욱 증가할 것이다.

<17> 이러한 피이크전류는, 플래쉬메모리가 통신용 또는 개인정보저장용의 스마트카드에 사용될 때 단말기와의 인터페이스에 있어서 상당한 장애요인으로 작용한다. 특히, 휴대폰에 쓰이는 사용자확인용모듈(SIM; subscriber identity module) 카드에서는 그 동작안정성 또는 신뢰성에 큰 영향을 끼칠 수 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 따라서, 본 발명의 목적은 플래쉬메모리의 프로그램과정에서 발생하는 피이크전류를 억제하는 장치를 제공함에 있다.

<19> 본 발명의 다른 목적은 스마트카드에 사용되는 플래쉬메모리에서 프로그램 중에 발생하는 피이크전류를 억제할 수 있는 장치를 제공함에 있다.

【발명의 구성 및 작용】

<20> 전술한 본 발명의 목적들을 달성하기 위하여, 본 발명에 따른 플래쉬메모리는 비선택비트라인들을 우선적으로 소정의 레벨로 충전한 다음, 펌핑전압을 발생하고, 그 이후에 모든 비트라인들에 대한 프리차아지를 완료함으로써, 전압충전의 집중에 의한 피이크전류를 억제 또는 분산시킨다. 또한, 메모리셀어레이를 나누어 프리차아지한다.

<21> 본 발명의 플래쉬메모리는: 메모리셀들 및 비트라인들과 소오스라인들을 포함하는 페이지들로 구성된 메모리셀어레이; 상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로; 제2시점에서 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 포함한다.

<22> 상기 제1전압은 상기 제2전압보다 낮으며, 상기 제2전압은 상기 전원전압의 레벨에 해당한다. 펌핑전압이 발생되는 상기 제2시점은 상기 제1시점보다 소정의 펄스신호가 활성화되는 시간만큼 늦게 설정된다. 상기 제3시점은 상기 제2시점이 경과한 후 프로그램신호의 활성화에 따른다.

<23> 상기 제1회로는 상기 펌핑전압의 발생을 활성화시키는 고전압신호와 상기 비선택된 비트라인들에 관련된 어드레스정보에 응답하여, 소거동작을 제어하는 신호가 활성화되어 있는 동안에는 비활성화된다. 상기 제3회로는 상기 제3시점에서 프로그램개시를 알리는 신호에 응답하여 상기 비트라인들을 상기 제3전압으로 충전한다.

<24> 본 발명에 따른 다른 측면으로서, 플래쉬메모리는: 메모리셀들 및 비트라인들과 소오스라인들을 포함하는 페이지들로 구성되며 어드레스정보에 따라 선택적으로 구동하는 메모리셀어레이들; 상기 비트라인들 중 선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로; 제2시점에서 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고 상기 메모리셀어레이들 중 선택된 메모리셀어레이에 속하는 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 구비함을 특징으로 하는 플래쉬메모리. 여기서는, 상기 제3회로가 상기 제3시점에서 프로그램개시를 알리는 신호에 응답하고 상기

어드레스정보에 따라 선택된 메모리셀어레이에 속하는 상기 비트라인들을 상기 제3전압으로 충전한다.

<25> 또한, 본 발명에 또다른 측면으로서, 플래쉬메모리는 소정의 어드레스비트가 제1논리상태일 때 선택되는 제1메모리셀어레이; 제1프리차아지신호에 응답하여 상기 제1메모리셀어레이의 비트라인들을 전원전압에 연결하는 제1프리차아지트랜지스터들; 상기 어드레스비트가 제2논리상태일 때 선택되는 제2메모리셀어레이; 제2프리차아지신호에 응답하여 상기 제2메모리셀어레이의 비트라인들을 상기 전원전압에 연결하는 제2프리차아지트랜지스터들; 상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로; 제2시점에서 상기 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고 상기 어드레스비트의 상기 논리상태들에 따라 선택된 메모리셀어레이에 속하는 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 가진다.

<26> 이하, 본 발명에 따른 플래쉬메모리에서의 프로그램 중에 비트라인들을 프리차아지하기 위한 구성과 동작을 설명한다.

<27> 도 3은 본 발명에 따른 플래쉬메모리의 구성을 보여 준다. 본 발명의 플래쉬메모리에서는 전술한 피이크전류의 억제 또는 분산을 위하여 어드레스정보를 이용하여 2개의 메모리셀어레이를 MCA1 및 MCAr로 나뉘어 진다. 각 메모리셀어레이들은 다수개의 페이지들로 구성된다. 좌측의 메모리셀어레이 MCA1은 페이지들 PG1, PG3, ..., PGn-1로 구성되고, 우측의 메모리셀어레이 MCAr은 페이지들 PG2,

PG4, ..., PGn으로 구성된다. 하나의 페이지는(예컨대, PG1)는 행방향으로 배열되어 비트라인들 BL1~BLk의 각각에 연결된 메모리셀들 MC을 포함한다. 한 페이지 내에서 하나의 비트라인(예컨대, BL1)에는 열방향으로 배열된 2개의 메모리셀들의 드레인들이 연결되며, 그 메모리셀들의 소오스들은 소오스라인 SL에 공통으로 연결된다. 한 페이지내에서 행방향으로 배열된 메모리셀들 MC의 컨트롤게이트들 CG는 하나의 워드라인(예컨대, WL0 또는 WL1)에 공통으로 연결된다. 도 3에 배열된 메모리셀로서 도 1에 보인 스플릿형의 메모리셀이 사용되지만, 적층형의 플래쉬 메모리셀이 배열될 수 있음을 이해하여야 한다.

<28> 메모리셀어레이를 MCA1 및 MCAr로의 구분은 독립적인 비트라인 프리차아지 동작을 수행하기 위함이다. 즉, 전원전압 VDD와 비트라인들 BL1~BLk을 연결하는 프리차아지용의 피모오스트랜지스터들 MP1~MPk의 게이트들에 인가되는 프리차아지신호들은 좌측 메모리셀어레이 MCA1를 위한 것 PBLS1과 우측 메모리셀어레이 MCAr을 위한 것 PBLSr로 구분되어 있다. 나뉘어진 메모리셀어레이들을 위한 프리차아지신호들의 구분은, 도 5에 보인 바와 같이, 원래의 비트라인 프리차아지신호 PBLS(이하, "메인 프리차아지신호")와 함께 소정의 어드레스비트(예컨대, 8번째) XA8/XA8B를 노아게이트들 NR1 및 NR2를 포함한 논리회로로써 이루어 진다. 메인 프리차아지신호 PBLS가 로우레벨로 활성화된 상태에서, 해당하는 어드레스비트 XA8이 로우레벨이면(XA8B는 하이레벨; 비트라인의 프리차아지는 그 비트라인이 속하는 페이지 또는 메모리셀어레이가 프로그램을 위해 선택되지 않은 때에 수행되는 것이 일반적임) 좌측 메모리셀어레이 MCA1을 위한 비트라인 프리차아지신호 PBLS1(이하,

"제1프리차아지신호")이 로우레벨로 활성화되어 전원전압 VDD가 좌측 메모리셀어레이 MCA1의 비트라인들 BL1~BLk을 충전하도록 한다. 또한, 비트라인 프리차아지신호 PBLS 가 로우레벨로 활성화된 상태에서, 어드레스비트 XA8이 하이레벨(XA8B는 로우레벨)이면 우측 메모리셀어레이 MCAr을 위한 프리차아지신호 PBLSr(이하, "제2프리차아지신호")이 로우레벨로 활성화되어 전원전압 VDD가 우측 메모리셀어레이 MCAr의 비트라인들 BL1~BLk 을 충전하도록 한다.

<29> 비트라인 프리차아지를 기준으로 한 메모리셀어레이들의 동작상의 구분은 어드레스 비트 코딩에 따른 번거로움을 증가하지 않는 범위내에서 도 3에 보인 2개보다 더 많은 수의 메모리셀어레이들로 구분할 수 있을 것이다.

<30> 각 메모리셀어레이에 배열된 비트라인들은 소정의 갯수(예컨대, 16개)로 묶인 상태로 데이터라인들 DLG1~DLGm에 연결된다. 하나의 데이터라인과 소정갯수의 비트라인들간의 연결은 통상적인 열(column) 케이팅방식으로 이루어 진다. 따라서, 예를 들면, 하나의 데이터라인은 16개의 비트라인들에 대응한다. 데이터라인들 DL1~DLm과 데이터버스 DB사이에 위치한 블럭 10은 열케이트회로들과 쓰기 버퍼들(또는 페이지버퍼들)을 포함한다. 열케이트회로들은 각각의 비트라인들에 대응하는 열어드레스신호들에 응답하는 열케이트들로 구성되며, 쓰기버퍼들은 데이터라인들에 각각 대응하여 메모리셀에 프로그램 될 데이터를 임시 저장하고 해당하는 비트라인들의 상태를 결정한다.

<31> 한편, 데이터라인들 DLG1~DLGm에는, 본 발명에 따라, 비트라인 프리차아지시에 전류구동의 집중을 분산시키기 위하여 비선택된 비트라인들을 우선적으로 프리

차아지하기 위한 회로 20(이하 "선(善)프리차아지회로")이 연결된다. 회로 20은 전원전압 VDD와 접지전압 GND사이에 직렬연결된 피모오스트랜지스터 MP21 및 엔모오스트랜지스터 MN21로 구성되며, 그들의 게이트들은 비선택된 비트라인들을 우선적으로 프리차아지하기 위한 신호 PBLN(이하, "선(善)프리차아지신호")에 접속된다. 피모오스트랜지스터 MP21 및 엔모오스트랜지스터 MN21사이의 노드 21은 데이터라인들 DLG1~DLGm에 연결된다. 선프리차아지신호 PBLN의 발생에 관하여는 도 6과 관련하여 설명할 것이다.

<32> 본 발명에서는, 선택된 비트라인에 대한 프로그램을 수행하기 전에 종래의 경우처럼 선택된 비트라인과 비선택된 비트라인들을 동시에 프리차아지시키지 않는다. 또한, 고전압 VPP를 충전하는 시기도 선택된 비트라인과 비선택된 비트라인들을 프리차아지하는 시기와 다르게 설정됨에 주목하여야 한다. 이러한 동작과정에 관하여는 도 7의 타이밍도상에서 상세하게 설명할 것이다.

<33> 이를 위하여, 도 4를 참조하면, 고전압신호 HVEN(종래에는 이 신호에 직접 응답하여 고전압 충전이 시작됨, 도 2 참조)과 고전압신호 HVEN으로부터 만들어진 펄스신호 ϕ HVEN와의 논리조합을 이용하여 예 응답하여 고전압(또는 평평전압) VPP를 충전하기 위한 제어신호 HVP(이하, "고전압 제어신호")를 설정한다. 고전압신호 HVEN이 낸드게이트 ND1의 일입력으로 인가되고 펄스신호 ϕ HVEN이 인버터 I1을 통하여 낸드게이트 ND1의 타입력으로 인가된다. 낸드게이트 ND1의 출력은 인버터 I2를 거쳐 고전압 제어신호 HVP로서 발생된다. 펄스신호 ϕ HVEN은 통상의 펄스발생회로 등을 통하여 소정시간(예를 들면, 600 ns)동안 하이레벨로 활성화되는 신호이다. 따라서, 펄스신호 ϕ HVEN이 하이레벨인 동안에는 고전압제어신호 HVP는 로우레벨로서 비활성화상태에 있으며, 이 동안에는 고전압 VPP가 충전되지 않는다.

<34> 도 6은 비선택된 비트라인들을 우선적으로(비트라인 프리차아지신호 PBLS가 구동되기 전) 충전하는 선프리차아지신호 PBLN을 발생하는 회로를 보여 준다. 소거동작을 개시하는 소거신호 ER이 인버터 I5를 통하여 낸드게이트 ND2의 일입력으로 인가된다. 고전압신호 HVEN은 낸드게이트 ND2의 타입력으로 인가된다. 낸드게이트 ND2의 출력은 노아게이트 NR3에 입력된다. 어드레스정보신호 ADI가 인버터 I6을 거쳐 노아게이트 NR3에 또한 입력된다. 노아게이트 NR3의 출력은 인버터 I7을 통하여 선프리차아지신호 PBLN으로 발생된다.

<35> 소거신호 ER의 상태가 선프리차아지신호 PBLN의 발생경로상에 반영되는 이유는, 소거시에는 비트라인들을 충전하지 않고 접지전압 또는 0.4V 정도의 전압만이 비트라인들에 설정되도록 하여야 하기 때문이다(소거시에는 비트라인과 소오스라인은 접지전압으로 하고 워드라인에 고전압을 인가함). 즉, 소거신호 ER이 하이레벨로 활성화되어 있는 동안에는 선프리차아지신호 PBLN은 하이레벨로 비활성화상태로 고정된다. 노아게이트 NR3에 인가되는 어드레스정보신호 ADI는 프로그램시에 선택된 비트라인들에 관한 어드레스정보를 갖고 있기 때문에, 그에 따라 비선택된 비트라인들에 대응하여 선프리차아지신호 PBLN이 활성화되도록 한다.

<36> 그러면, 도 7을 참조하여 본 발명에 따른 비트라인 충전 및 프로그램과정을 설명한다. 초기에 모든 비트라인들은 접지전압을 유지한다. 먼저, 시각 t1에서 고전압신호 HVEN이 활성화됨에 따라 600 ns동안 활성화되는 하이레벨의 펄스신호 ϕ_{HVEN} 이 발생한다. 펄스신호 ϕ_{HVEN} 이 하이레벨로 활성화되어 있는 동안 고전압 제어신호 HVP는 로우레벨로 비활성화된 상태에 있다. 한편, 고전압신호 HVEN의 하이레벨로의 활성화에

응답하여 도 6의 회로로부터 선프리차아지신호 PBLN이 로우레벨의 활성화상태로 발생된다. 현재, 프로그램모드이므로 소거신호 ER은 로우레벨이다.

<37> 로우레벨의 선프리차아지신호 PBLN은 도 3의 선프리차아지회로 20에 인가되어 피모 오스트랜지스터 MP21을 턴온시킨다. 따라서, 전원전압 VDD는 데이터라인들을 거친 다음 비선택된 비트라인들 BLN에 해당하는 열게이트들을 통하여 비선택된 비트라인들로 연결된다. 전원전압 VDD의 전압레벨이 열게이트들로 사용되는 엔모오스트랜지스터들을 거치게 되므로, 비선택된 비트라인들 BLN은 VDD-Vtn(Vtn은 열게이트용 엔모오스트랜지스터의 드레쉬홀드전압)으로 선프리차아지된다. 이 때, 선택된 비트라인 BLS는 접지전압을 유지하고 있다.

<38> 그 후, 시각 tp에서 ϕ_{HVEN} 의 하이레벨 펄스기간이 종료되면, 도 4의 회로로부터 고전압제어신호 HVP가 하이레벨로 활성화되어 고전압 VPP가 충전되기 시작한다.

<39> 비선택된 비트라인들이 VDD-Vtn의 전압레벨을 유지하고 있고 고전압 VPP가 10V로 상승하고 있는 동안, 시각 t2에서 프로그램신호가 하이레벨로 활성화되면 메인 프리차아지신호 PBLS가 로우레벨로 활성화된다. 그러면, 앞서 도 5와 관련하여 설명한 바와 같이, 메모리셀어레이를 선택하는 어드레스비트 XA8의 논리상태에 따라, 좌측의 메모리셀 어레이 MCA1에 속하는 비트라인들을 프리차아지하는 제1프리차아지신호 PBLS1 또는 우측의 메모리셀어레이 MCAr에 속하는 비트라인들을 프리차아지하는 제2프리차아지신호 PBLSr이 로우레벨로 활성화된다. 비트라인 프리차아지용의 피모오스트랜지스터들 MP1~MPk가 턴온됨에 따라, 모든 비트라인들 BL1~BLk는 전원전압 VDD의 전압레벨로 충전된다. 이 때, 선택된 비트라인 BLS는 접지전압 레벨로부터 전원전압 레벨로 상승하고, 비선택된 비트라인들은 VDD-Vtn의 전압레벨로부터 전원전압 레벨로 상승한다.

<40> 이와 같이, 비트라인들에 대한 프리차아지동작이 완료되면, 쓰기 버퍼에 저장된 데 이타값에 따라 선택된 비트라인 BLS는 "1" 또는 "0"으로 설정된다. 선택된 메모리셀에 대한 프로그램이 완료되면 프로그램신호 PGM이 로우레벨로 비활성화되고, 이에 응답하여 고전압신호 HVEN이 로우레벨로 비활성화된다. 그에 따라 선프리차아지신호 PBLN이 하이레벨로 비활성화되고 비트라인들은 접지전압으로 재설정된다.

<41> 전술한 실시예에서 보인 본 발명의 수단 또는 방법에 준하여 본 발명의 기술분야에서 통상의 지식을 가진 자는 본 발명의 범위내에서 본 발명의 변형 및 응용이 가능하다.

【발명의 효과】

<42> 상술한 본 발명의 실시예에 의하면, 비선택된 비트라인들을 소정의 전압레벨 (VDD-Vtn)으로 우선적으로 충전시킨 다음(t1), 프로그램에 필요한 고전압 을 생성하고 (tp), 다시 소정의 시간이 경과한 후에 이미 선충전된 비선택 비트라인들과 함께 선택된 비트라인을 프리차아지한다(t2). 비트라인 프리차아지 및 고전압 발생의 시기들을 다르게 설정하기 때문에, 종래의 경우와 같이 동시 전압충전에 의한 피이크전류의 발생을 억제하는 효과가 있다. 또한, 메모리셀어레이를 2개 또는 그 이상으로 분리하여 비트라인 프리차아지를 하기 때문에, 피이크전류의 집중을 더욱 분산시키는 효과가 있다.

【특허청구범위】**【청구항 1】**

플래쉬 메모리에 있어서:

메모리셀들 및 비트라인들과 소오스라인들을 포함하는 페이지들로 구성된 메모리셀어레이;

상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로;

제 2시점에서 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고

상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 구비함을 특징으로 하는 플래쉬 메모리.

【청구항 2】

제1항에 있어서,

상기 제1전압이 상기 제2전압보다 낮음을 특징으로 하는 플래쉬 메모리.

【청구항 3】

제2항에 있어서,

상기 제2전압이 상기 전원전압임을 특징으로 하는 플래쉬 메모리.

【청구항 4】

제1항에 있어서,

상기 제2시점이 상기 제1시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 5】

제1항 또는 제4항에 있어서,

상기 제3시점이 상기 제2시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 6】

제1항에 있어서,

상기 제1회로가 상기 펌핑전압의 발생을 활성화시키는 고전압신호와 상기 비선택된 비트라인들에 관련된 어드레스정보에 응답함을 특징으로 하는 플래쉬메모리.

【청구항 7】

제1항 또는 제6항에 있어서,

상기 제1회로가 소거동작을 제어하는 신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 8】

제1항에 있어서,

상기 제2회로가 소정의 펄스신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 9】

제8항에 있어서,

상기 펠스신호가 상기 제1시점과 상기 제2시점사이에 존재함을 특징으로 하는 플래쉬메모리.

【청구항 10】

제1항에 있어서,

상기 제3회로가 상기 제3시점에서 프로그램개시를 알리는 신호에 응답하여 상기 비트라인들을 상기 제3전압으로 충전함을 특징으로 하는 플래쉬메모리.

【청구항 11】

플래쉬메모리에 있어서:

메모리셀들 및 비트라인들과 소오스라인들을 포함하는 페이지들로 구성되며 어드레스정보에 따라 선택적으로 구동하는 메모리셀어레이들;

상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로;

제 2시점에서 전원전압보다 높은 펌핑전압을 발생하는 제2회로; 그리고

상기 메모리셀어레이들 중 선택된 메모리셀어레이에 속하는 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 구비함을 특징으로 하는 플래쉬메모리.

【청구항 12】

제11항에 있어서,

상기 제1전압이 상기 제2전압보다 낮음을 특징으로 하는 플래쉬메모리.

【청구항 13】

제12항에 있어서,

상기 제2전압이 상기 전원전압임을 특징으로 하는 플래쉬메모리.

【청구항 14】

제11항에 있어서,

상기 제2시점이 상기 제1시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 15】

제11항 또는 제14항에 있어서,

상기 제3시점이 상기 제2시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 16】

제11항에 있어서,

상기 제1회로가 상기 펌핑전압의 발생을 활성화시키는 고전압신호와 상기 비선택된 비트라인들에 관련된 어드레스정보에 응답함을 특징으로 하는 플래쉬메모리.

【청구항 17】

제11항 또는 제16항에 있어서,

상기 제1회로가 소거동작을 제어하는 신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 18】

제11항에 있어서,

상기 제2회로가 소정의 펄스신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 19】

제18항에 있어서,

상기 펄스신호가 상기 제1시점과 상기 제2시점사이에 존재함을 특징으로 하는 플래쉬메모리.

【청구항 20】

제11항에 있어서,

상기 제3회로가 상기 제3시점에서 프로그램개시를 알리는 신호에 응답하고 상기 어드레스정보에 따라 선택된 메모리셀어레이에 속하는 상기 비트라인들을 상기 제3전압으로 충전함을 특징으로 하는 플래쉬메모리.

【청구항 21】

플래쉬메모리에 있어서,

소정의 어드레스비트가 제1논리상태일 때 선택되는 제1메모리셀어레이;
제1프리차아지신호에 응답하여 상기 제1메모리셀어레이의 비트라인들을 전원전압에 연결하는 제1프리차아지트랜지스터들;

상기 어드레스비트가 제2논리상태일 때 선택되는 제2메모리셀어레이;

제2프리차아지신호에 응답하여 상기 제2메모리셀어레이의 비트라인들을 상기 전원 전압에 연결하는 제2프리차아지트랜지스터들;

상기 비트라인들 중 비선택된 비트라인들을 제1시점에서 제1전압레벨로 충전하는 제1회로;

제2시점에서 상기 전원전압보다 높은 평평전압을 발생하는 제2회로; 그리고 상기 어드레스비트의 상기 논리상태들에 따라 선택된 메모리셀어레이에 속하는 상기 비트라인들을 제3시점에서 제2전압으로 충전하는 제3회로를 구비함을 특징으로 하는 플래쉬메모리.

【청구항 22】

제21항에 있어서,

상기 제1전압이 상기 제2전압보다 낮음을 특징으로 하는 플래쉬메모리.

【청구항 23】

제22항에 있어서,

상기 제2전압이 상기 전원전압임을 특징으로 하는 플래쉬메모리.

【청구항 24】

제21항에 있어서,

상기 제2시점이 상기 제1시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 25】

제21항 또는 제24항에 있어서,

상기 제3시점이 상기 제2시점보다 소정시간만큼 늦음을 특징으로 하는 플래쉬메모리.

【청구항 26】

제21항에 있어서,

상기 제1회로가 상기 펌핑전압의 발생을 활성화시키는 고전압신호와 상기 비선택된 비트라인들에 관련된 어드레스정보에 응답함을 특징으로 하는 플래쉬메모리.

【청구항 27】

제21항 또는 제26항에 있어서,

상기 제1회로가 소거동작을 제어하는 신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 28】

제21항에 있어서,

상기 제2회로가 소정의 펠스신호가 활성화되어 있는 동안에는 비활성화됨을 특징으로 하는 플래쉬메모리.

【청구항 29】

제28항에 있어서,

상기 펠스신호가 상기 제1시점과 상기 제2시점사이에 존재함을 특징으로 하는 플래쉬메모리.

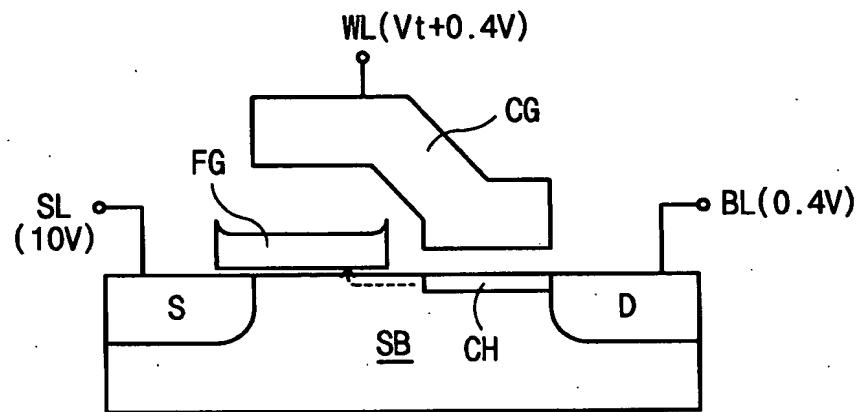
【청구항 30】

제21항에 있어서,

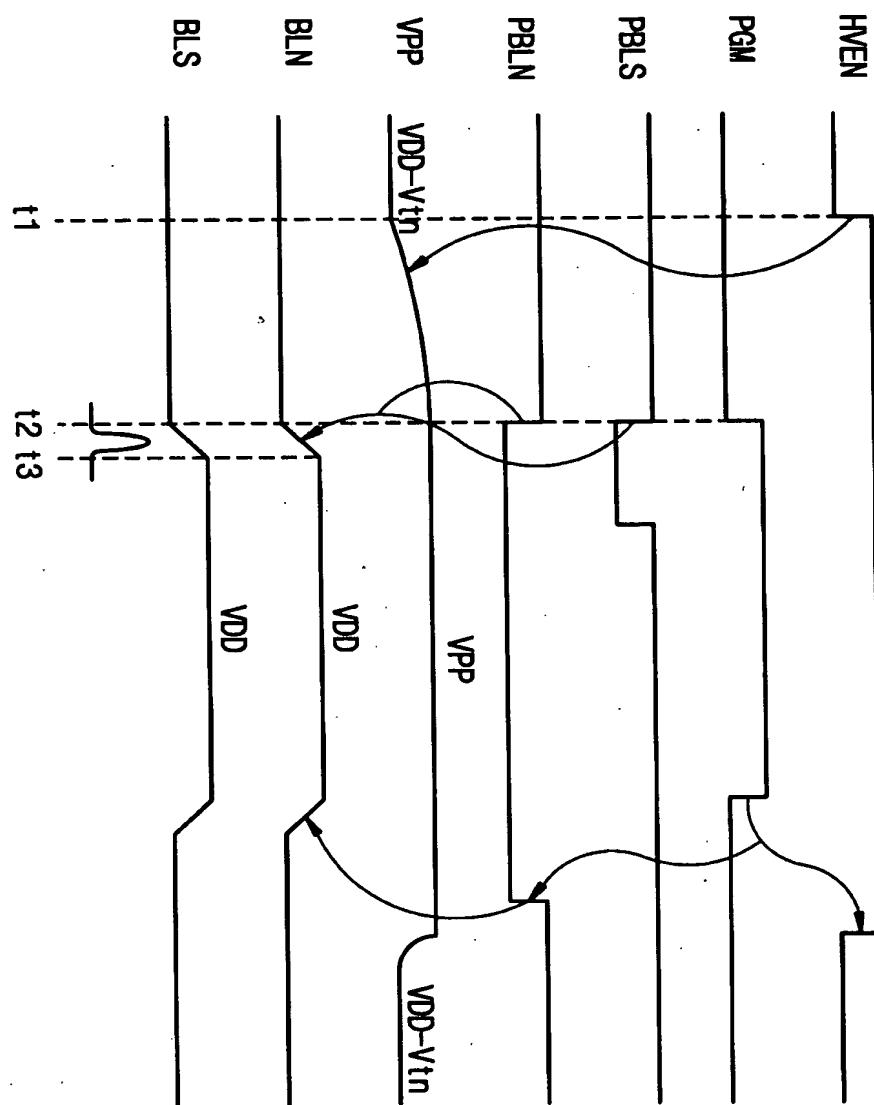
상기 제3회로가 상기 제3시점에서 프로그램개시를 알리는 신호에 응답하는 메인 프리차아지신호로부터 상기 어드레스비트의 상기 논리상태에 따라 상기 프리차아지신호들 중 하나를 활성화시킴을 특징으로 하는 플래쉬메모리.

【도면】

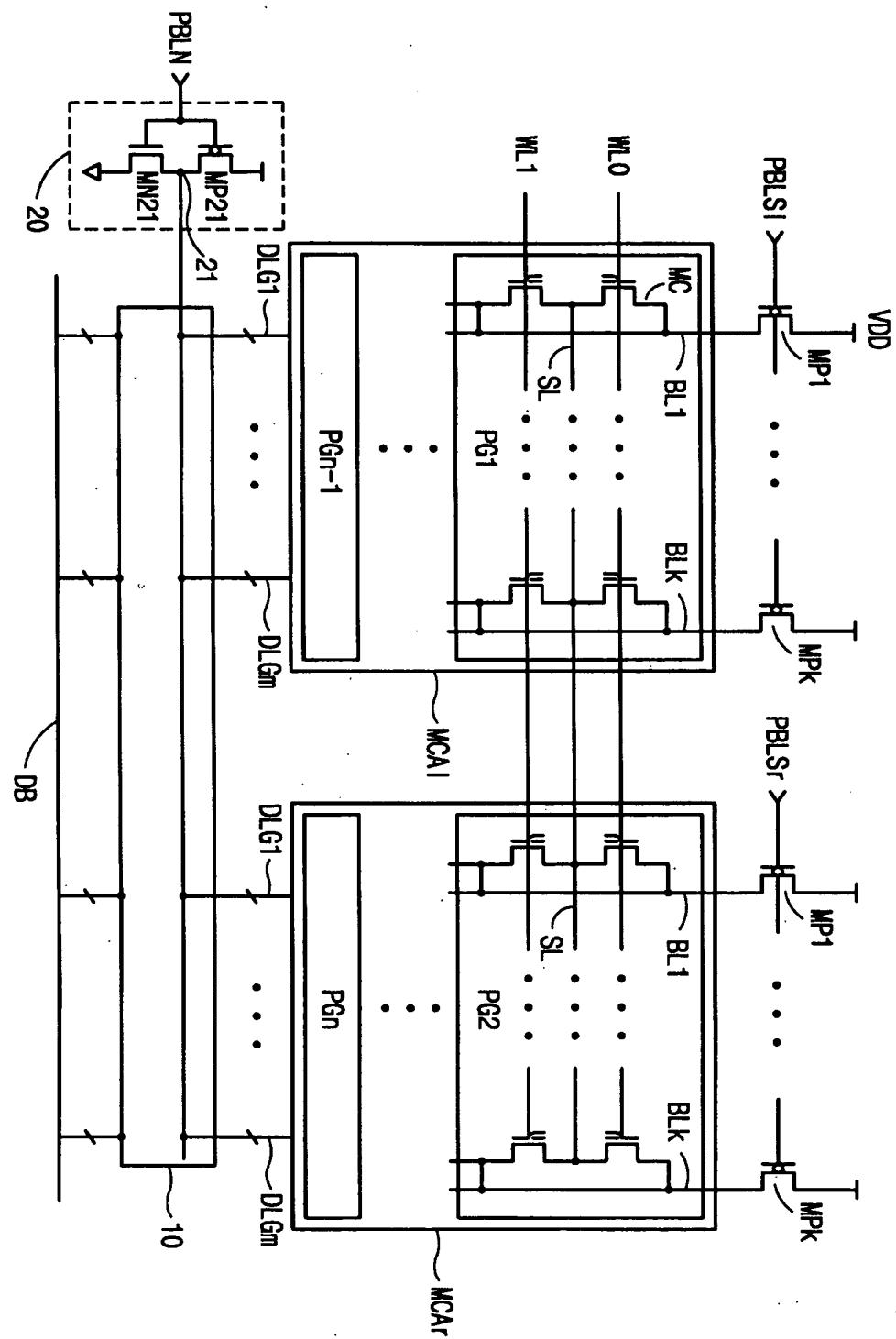
【도 1】



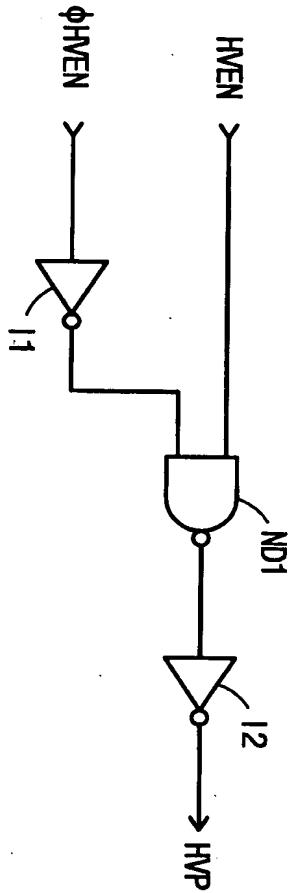
【도 2】



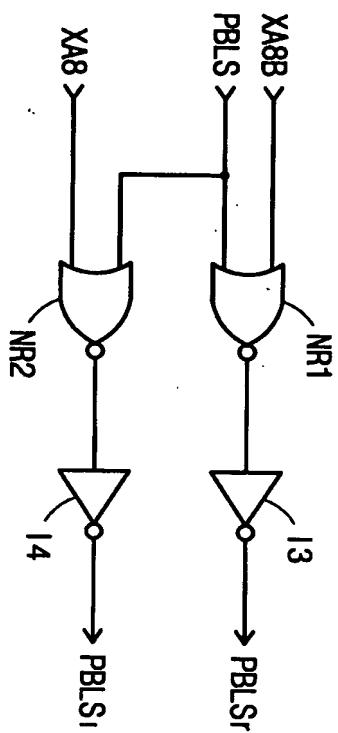
【도 3】



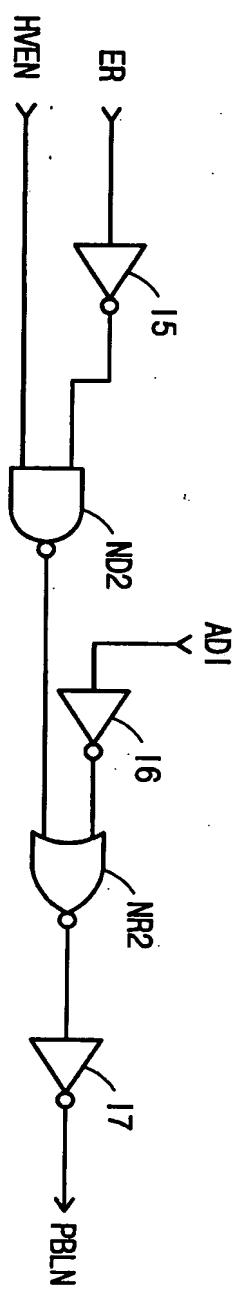
【도 4】



【도 5】



【도 6】



【도 7】

